

# TRAITE DE COOPERATION EN MATIERE DE BREVETS

**PCT**

**NOTIFICATION DE L'ENREGISTREMENT  
D'UN CHANGEMENT**

(règle 92bis.1 et  
instruction administrative 422 du PCT)

Expéditeur: le BUREAU INTERNATIONAL

Destinataire:

DE BEAUMONT, Michel  
Cabinet Conseil  
1, rue Champollion  
F-38000 Grenoble  
FRANCE

<b>Date d'expédition (jour/mois/année)</b> 01 mai 2001 (01.05.01)	
<b>Référence du dossier du déposant ou du mandataire</b> B4249 PCT	<b>NOTIFICATION IMPORTANTE</b>
<b>Demande internationale no</b> PCT/FR00/00573	<b>Date du dépôt international (jour/mois/année)</b> 08 mars 2000 (08.03.00)

1. Les renseignements suivants étaient enregistrés en ce qui concerne:		
<input checked="" type="checkbox"/> le déposant	<input type="checkbox"/> l'inventeur	<input type="checkbox"/> le mandataire
<input type="checkbox"/> le représentant commun		
<b>Nom et adresse</b>          	<b>Nationalité (nom de l'Etat)</b>   	<b>Domicile (nom de l'Etat)</b>   
	no de téléphone	
	no de télécopieur	
	no de téléimprimeur	
2. Le Bureau international notifie au déposant que le changement indiqué ci-après a été enregistré en ce qui concerne:		
<input checked="" type="checkbox"/> la personne	<input type="checkbox"/> le nom	<input type="checkbox"/> l'adresse
<input type="checkbox"/> la nationalité		
<input type="checkbox"/> le domicile		
<b>Nom et adresse</b> IROC TECHNOLOGIES World Trade Center B.P. 1510 F-38025 Grenoble Cedex 1 FRANCE	<b>Nationalité (nom de l'Etat)</b> FR	<b>Domicile (nom de l'Etat)</b> FR
	no de téléphone	
	no de télécopieur	
	no de téléimprimeur	
3. Observations complémentaires, le cas échéant: <b>L'UNIVERSITE JOSEPH FOURIER et le CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE ont cédés leurs droits à IROC TECHNOLOGIES.</b>		
4. Une copie de cette notification a été envoyée:		
<input checked="" type="checkbox"/> à l'office récepteur	<input type="checkbox"/> aux offices désignés concernés	
<input type="checkbox"/> à l'administration chargée de la recherche internationale	<input checked="" type="checkbox"/> aux offices élus concernés	
<input checked="" type="checkbox"/> à l'administration chargée de l'examen préliminaire international	<input type="checkbox"/> autre destinataire:	

<b>Bureau international de l'OMPI</b> 34, chemin des Colombettes 1211 Genève 20, Suisse  no de télécopieur (41-22) 740.14.35	<b>Fonctionnaire autorisé:</b>  Sean Taylor  no de téléphone (41-22) 338.83.38
--	--

# TRAITE DE COOPERATION EN MATIERE DE BREVETS

**PCT**

## NOTIFICATION D'ELECTION

(règle 61.2 du PCT)

Expéditeur: le BUREAU INTERNATIONAL

Destinataire:

Commissioner  
US Department of Commerce  
United States Patent and Trademark  
Office, PCT  
2011 South Clark Place Room  
CP2/5C24  
Arlington, VA 22202  
ETATS-UNIS D'AMERIQUE  
en sa qualité d'office élu

Date d'expédition (jour/mois/année) 07 novembre 2000 (07.11.00)	
Demande internationale no PCT/FR00/00573	Référence du dossier du déposant ou du mandataire B4249 PCT
Date du dépôt international (jour/mois/année) 08 mars 2000 (08.03.00)	Date de priorité (jour/mois/année) 09 mars 1999 (09.03.99)
Déposant NICOLAIDIS, Michaël	

1. L'office désigné est avisé de son élection qui a été faite:

☒ dans la demande d'examen préliminaire international présentée à l'administration chargée de l'examen préliminaire international le:

23 septembre 2000 (23.09.00)

☐ dans une déclaration visant une élection ultérieure déposée auprès du Bureau international le:

2. L'élection ☒ a été faite

☐ n'a pas été faite

avant l'expiration d'un délai de 19 mois à compter de la date de priorité ou, lorsque la règle 32 s'applique, dans le délai visé à la règle 32.2b).

Bureau international de l'OMPI 34, chemin des Colombettes 1211 Genève 20, Suisse no de télécopieur: (41-22) 740.14.35	Fonctionnaire autorisé Antonia Muller no de téléphone: (41-22) 338.83.38
--	--

ST

09/936032

# TRAITE DE COOPERATION EN MATIERE DE BREVETS

## PCT

REC'D 12 JUL 2001

WIPO PCT

### RAPPORT D'EXAMEN PRELIMINAIRE INTERNATIONAL


(article 36 et règle 70 du PCT)

Référence du dossier du déposant ou du mandataire B4249 PCT	<b>POUR SUITE A DONNER</b> voir la notification de transmission du rapport d'examen préliminaire international (formulaire PCT/IPEA/416)	
Demande internationale n° PCT/FR00/00573	Date du dépôt international (jour/mois/année) 08/03/2000	Date de priorité (jour/mois/année) 09/03/1999
Classification internationale des brevets (CIB) ou à la fois classification nationale et CIB H03K19/003		
Déposant IROC TECHNOLOGIES et al.		

1. Le présent rapport d'examen préliminaire international, établi par l'administration chargée de l'examen préliminaire international, est transmis au déposant conformément à l'article 36.
2. Ce RAPPORT comprend 7 feuilles, y compris la présente feuille de couverture.
  - ☒ Il est accompagné d'ANNEXES, c'est-à-dire de feuilles de la description, des revendications ou des dessins qui ont été modifiées et qui servent de base au présent rapport ou de feuilles contenant des rectifications faites auprès de l'administration chargée de l'examen préliminaire international (voir la règle 70.16 et l'instruction 607 des Instructions administratives du PCT).

Ces annexes comprennent 2 feuilles.

3. Le présent rapport contient des indications relatives aux points suivants:
  - I ☒ Base du rapport
  - II ☐ Priorité
  - III ☐ Absence de formulation d'opinion quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle
  - IV ☐ Absence d'unité de l'invention
  - V ☒ Déclaration motivée selon l'article 35(2) quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle; citations et explications à l'appui de cette déclaration
  - VI ☐ Certains documents cités
  - VII ☐ Irrégularités dans la demande internationale
  - VIII ☐ Observations relatives à la demande internationale

Date de présentation de la demande d'examen préliminaire internationale 23/09/2000	Date d'achèvement du présent rapport 10.07.2001
Nom et adresse postale de l'administration chargée de l'examen préliminaire international:  Office européen des brevets D-80298 Munich Tél. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Fonctionnaire autorisé  Santos, P  N° de téléphone +49 89 2399 8359



**RAPPORT D'EXAMEN  
PRÉLIMINAIRE INTERNATIONAL**

Demande internationale n° PCT/FR00/00573

**I. Base du rapport**

1. En ce qui concerne les **éléments** de la demande internationale (*les feuilles de remplacement qui ont été remises à l'office récepteur en réponse à une invitation faite conformément à l'article 14 sont considérées dans le présent rapport comme "initialement déposées" et ne sont pas jointes en annexe au rapport puisqu'elles ne contiennent pas de modifications (règles 70.16 et 70.17)*):

**Description, pages:**

1-23                      version initiale

**Revendications, N°:**

1-4,5 (partie)              version initiale

5 (partie),6-10              reçue(s) le                      27/03/2001    avec la lettre du                      21/03/2001

**Dessins, feuilles:**

1/7-7/7                      version initiale

2. En ce qui concerne la **langue**, tous les éléments indiqués ci-dessus étaient à la disposition de l'administration ou lui ont été remis dans la langue dans laquelle la demande internationale a été déposée, sauf indication contraire donnée sous ce point.

Ces éléments étaient à la disposition de l'administration ou lui ont été remis dans la langue suivante: , qui est :

- ☐ la langue d'une traduction remise aux fins de la recherche internationale (selon la règle 23.1(b)).
- ☐ la langue de publication de la demande internationale (selon la règle 48.3(b)).
- ☐ la langue de la traduction remise aux fins de l'examen préliminaire internationale (selon la règle 55.2 ou 55.3).

3. En ce qui concerne les **séquences de nucléotides ou d'acide aminés** divulguées dans la demande internationale (le cas échéant), l'examen préliminaire internationale a été effectué sur la base du listage des séquences :

- ☐ contenu dans la demande internationale, sous forme écrite.
- ☐ déposé avec la demande internationale, sous forme déchiffrable par ordinateur.
- ☐ remis ultérieurement à l'administration, sous forme écrite.
- ☐ remis ultérieurement à l'administration, sous forme déchiffrable par ordinateur.
- ☐ La déclaration, selon laquelle le listage des séquences par écrit et fourni ultérieurement ne va pas au-delà de la divulgation faite dans la demande telle que déposée, a été fournie.
- ☐ La déclaration, selon laquelle les informations enregistrées sous déchiffrable par ordinateur sont identiques à celles du listage des séquences Présenté par écrit, a été fournie.

**RAPPORT D'EXAMEN  
PRÉLIMINAIRE INTERNATIONAL**

Demande internationale n° PCT/FR00/00573

4. Les modifications ont entraîné l'annulation :

- ☐ de la description, pages :  
☒ des revendications, n°s : 11-14  
☐ des dessins, feuilles :

5. ☐ Le présent rapport a été formulé abstraction faite (de certaines) des modifications, qui ont été considérées comme allant au-delà de l'exposé de l'invention tel qu'il a été déposé, comme il est indiqué ci-après (règle 70.2(c)) :

*(Toute feuille de remplacement comportant des modifications de cette nature doit être indiquée au point 1 et annexée au présent rapport)*

6. Observations complémentaires, le cas échéant :

**V. Déclaration motivée selon l'article 35(2) quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle; citations et explications à l'appui de cette déclaration**

1. Déclaration

Nouveauté	Oui : Revendications 1-10
	Non : Revendications
Activité inventive	Oui : Revendications 1-10
	Non : Revendications
Possibilité d'application industrielle	Oui : Revendications 1-10
	Non : Revendications

2. Citations et explications  
**voir feuille séparée**

**Concernant le point V**

**1. Il est fait référence aux documents suivants:**

- D1: US-A-4 464 754 (STEWART ET AL.) 7 août 1984 (1984-08-07)
- D2: WO 97 40579 A (UNITED TECHNOLOGIES CORP) 30 octobre 1997 (1997-10-30)
- D3: PATENT ABSTRACTS OF JAPAN vol. 016, no. 412 (E-1256), 31 août 1992 (1992-08-31) & JP 04 137816 A (NEC CORP;OTHERS: 01), 12 mai 1992 (1992-05-12)
- D4: PATENT ABSTRACTS OF JAPAN vol. 012, no. 235 (P-725), 6 juillet 1988 (1988-07-06) & JP 63 027782 A (TOYO COMMUN EQUIP CO LTD), 5 février 1988 (1988-02-05)
- D5: GB-A-2 037 034 (STANDARD TELEPHONES CABLES LTD) 2 juillet 1980 (1980-07-02)
- D6: PATENT ABSTRACTS OF JAPAN vol. 014, no. 085 (E-0890), 16 février 1990 (1990-02-16) & JP 01 295516 A (FUJITSU LTD), 29 novembre 1989 (1989-11-29)
- D7: US-A-4 044 312 (D ORTENZIO REMO J) 23 août 1977 (1977-08-23)
- D8: US-A-4 093 878 (PASCHAL JAMES P ET AL) 6 juin 1978 (1978-06-06)
- D9: US-A-4 525 635 (GILLBERG JAMES E) 25 juin 1985 (1985-06-25)

- 2.** La présente invention concerne l'insensibilisation des circuits numériques à des perturbations externes, notamment des perturbations localisées provenant en particulier de bombardements de particules alpha et qui sont susceptibles de faire basculer intempestivement l'état d'un circuit mémoire.
- 3.** La présente demande propose, à cet effet, quatre réalisations (revendications indépendantes 1, 6, 8 et 9) destinées à éviter qu'une impulsion parasite en sortie d'un circuit logique combinatoire puisse basculer un élément mémoire disposé à la sortie dudit circuit combinatoire:

Revendication 1:

un circuit de génération d'un code de contrôle d'erreurs pour la sortie du circuit combinatoire contrôle l'élément mémoire pour être transparent lorsque que le code de contrôle est correct, et pour conserver son état lorsque le code de contrôle est incorrect.

Revendication 6:

la sortie du circuit combinatoire est reliée à une première et une deuxième bascule, où la deuxième bascule est cadencée par l'horloge retardée d'une durée prédéterminée et les sorties des deux bascules sont reliées à un circuit d'analyse des sorties des bascules, ledit circuit d'analyse signalant une erreur si les sorties des bascules sont différentes.

Revendication 8:

la sortie du circuit combinatoire est reliée à une première et une deuxième bascule, les deux bascules étant cadencées par le même signal d'horloge et la sortie dudit circuit combinatoire étant retardée d'une durée prédéterminée avant d'être fournie à l'entrée de la deuxième bascule, un circuit d'analyse recevant les sorties des deux bascules et signalant une erreur si les sorties sont différentes.

Revendication 9:

trois circuits logiques identiques sont précédés d'un élément mémoire à deux entrées recevant les sorties des deux autres circuits logiques, chaque élément mémoire étant prévu pour être transparent lorsque ses deux entrées sont identiques, et pour conserver son état lorsque les deux entrées sont différentes.

4. L'objet des revendications indépendantes 1, 6, 8 et 9 n'est pas connu et ne semble pas évident au vu de l'état de la technique révélé et tel que représenté par les documents D1-D9, cités dans le rapport de recherche international.
- 4.1. Le document D1, qui est considéré comme étant l'état de la technique le plus proche de l'objet de la revendication 1, décrit (voir figure 2b) un circuit combinatoire (Fig. 2: G6ij) pour déconnecter la sortie d'une mémoire du bus de données lorsqu'un circuit générateur d'un bit de parité signale une erreur dans le contenu de la mémoire.

L'objet de la revendication 1 diffère de ce circuit divulgué par D1 en ce qu'il prévoit un élément mémoire disposé à la sortie du circuit combinatoire, commandé par un circuit de génération d'un code de contrôle d'erreurs pour être transparent lorsque le code est correct, et pour conserver son état lorsque le code est incorrect.

La solution divulguée par D1 prévoit la duplication de chaque module de mémoire, et fixe la sortie d'une cellule dans un état de haute impédance quand une erreur de parité est détectée. Au cas où une erreur est détectée, le circuit selon la revendication 1 mémorise la valeur antérieure et évite qu'une erreur à l'entrée du circuit ne soit propagée vers la sortie. La solution proposée par la revendication 1, qui présente l'avantage de permettre une réduction de la surface du circuit intégré, n'est pas suggérée par D1 ni par aucun des autres documents cités dans le rapport de recherche. L'objet de la revendication 1 est donc nouveau et considéré comme impliquant une activité inventive (article 33(2)-(3) PCT).

- 4.2. Le document D4 est considéré comme étant l'état de la technique le plus proche de l'objet des revendications indépendantes 6 et 8. Ce document en décrit un circuit protégé contre des perturbations transitoires comprenant une entrée numérique reliée à un premier registre de synchronisation cadencé par une horloge, un deuxième registre cadencé par l'horloge et recevant la sortie du premier registre retardée d'une durée prédéterminée, et un circuit de vote majoritaire qui reçoit ladite entrée numérique et les sorties des deux registres et sélectionne pour sa sortie la valeur qui est fournie par au moins deux de ses entrées.

L'objet des revendications 6 et 8 diffère du circuit divulgué par D4 essentiellement en ce qu'il prévoit un circuit d'analyse d'erreurs pour signaler une erreur si ses entrées sont différentes. Il s'agit, par conséquent, d'un circuit pour la **détection** des erreurs, alors que le circuit divulgué par D4 est destiné à leur **correction**.

Les documents D3, D5 et D6 divulguent, eux aussi, des circuits de correction des erreurs par vote majoritaire. En particulier, le document D5 propose un circuit détecteur d'erreurs par comparaison de trois entrées, reliées en parallèle à un circuit correcteur par vote majoritaire. L'objet des revendications 6 et 8 diffère du circuit divulgué par D5 en ce que les signaux en entrée sont retardés avant être appliqués aux entrées du comparateur.



Aucun des documents D3-D6 ne divulgue ou suggère un circuit de détection des erreurs selon les revendications 6 et 8.

Les revendications 6 et 8 satisfont donc aux dispositions des Art. 33(2), 33(3) PCT.

- 4.3. La réalisation selon la revendication indépendante 9 propose le triplement du circuit basique de la revendication 1, où les trois circuits logiques identiques sont précédés d'un élément mémoire à deux entrées recevant les sorties des deux autres circuits logiques. Cette solution est totalement différente de tous les circuits proposés par les documents D1-D9 et donc aucun de ces documents ne peut être considéré comme étant le plus proche de l'objet de la revendication 9. L'objet de cette revendication est donc nouveau et implique une activité inventive.
5. Les revendications 2-5, 7 et 10 dépendent des revendications 1, 6 et 9 respectivement et satisfont donc également, en tant que telles, aux conditions requises par le PCT en ce qui concerne la nouveauté et l'activité inventive.

27. 03. 2001

25

(42)

moins deux seconds transistors (MP1, MN2) commandés par le signal correspondant (a\*) du circuit dupliqué, chacun des seconds transistors étant connecté en série avec l'un respectif des premiers transistors.

5           6. Circuit protégé contre des perturbations transitoires comprenant un circuit logique combinatoire (10) ayant au moins une sortie (A) reliée à une première bascule (70, 92) de synchronisation cadencée par une horloge (CK), caractérisé en ce qu'il comprend une deuxième bascule (71, 93) reliée à  
10   ladite sortie et cadencée par l'horloge retardée d'une durée prédéterminée ( $\delta$ ), et un circuit (74, 95) d'analyse des sorties des bascules, et en ce que le circuit d'analyse (95) signale une erreur si les sorties des bascules sont différentes.

15           7. Circuit protégé selon la revendication 6, caractérisé en ce que la deuxième bascule (93) est commandée par la même horloge que la première bascule, mais par un front ou un niveau distinct de cette horloge.

20           8. Circuit protégé contre des perturbations transitoires comprenant un circuit logique combinatoire (10) ayant au moins une sortie (A) reliée à une première bascule (70) de synchronisation cadencée par une horloge (CK), caractérisé en ce qu'il comprend une deuxième bascule (71) cadencée par l'horloge et recevant ladite sortie retardée d'une durée  
25   prédéterminée ( $\delta$ ), et un circuit (74) d'analyse des sorties des bascules, et en ce que le circuit d'analyse signale une erreur si les sorties des bascules sont différentes.

30           9. Circuit protégé contre des perturbations transitoires, comprenant trois circuits logiques identiques (10a, 11a, 10b), caractérisé en ce que chacun des circuits logiques est précédé d'un élément mémoire (24a, 24b, 24c) à deux entrées recevant respectivement les sorties des deux autres circuits logiques, chaque élément mémoire étant prévu pour être transparent lorsque ses deux entrées sont identiques, et pour conserver son état lorsque les deux entrées sont différentes.

27. 03. 2001

(42)

10. Circuit protégé selon la revendication 9, caractérisé en ce que les circuits logiques sont des inverseurs et les éléments mémoire comprennent, en série, deux transistors MOS à canal P et deux transistors MOS à canal N, une première des entrées de l'élément mémoire étant reliée aux grilles d'un premier des transistors MOS à canal P et d'un premier des transistors MOS à canal N, et la deuxième entrée de l'élément mémoire étant reliée aux grilles des deux autres transistors.

Translation

## PCT

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference B4249 PCT	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/FR00/00573	International filing date (day/month/year) 08 March 2000 (08.03.00)	Priority date (day/month/year) 09 March 1999 (09.03.99)
International Patent Classification (IPC) or national classification and IPC H03K 19/003		
Applicant IROC TECHNOLOGIES		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>7</u> sheets, including this cover sheet.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of <u>2</u> sheets.</p>	
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability: citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>	

Date of submission of the demand 23 September 2000 (23.09.00)	Date of completion of this report 10 July 2001 (10.07.2001)
Name and mailing address of the IPEA/EP	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/FR00/00573

## I. Basis of the report

1. With regard to the **elements** of the international application:\*

- ☐ the international application as originally filed
- ☒ the description:  
pages 1-23, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☒ the claims:  
pages 1-4, 5 (part), as originally filed  
pages \_\_\_\_\_, as amended (together with any statement under Article 19  
pages \_\_\_\_\_, filed with the demand  
pages 5 (part), 6-10, filed with the letter of 27 March 2001 (27.03.2001)
- ☒ the drawings:  
pages 1/7-7/7, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☒ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☒ the claims, Nos. 11-14
- ☐ the drawings, sheets/fig \_\_\_\_\_

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.  
PCT/FR 00/00573

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	1-10	YES
	Claims		NO
Inventive step (IS)	Claims	1-10	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-10	YES
	Claims		NO

### 2. Citations and explanations

#### 1. Reference is made to the following documents:

- D1: US-A-4 464 754 (STEWART ET AL.) 7 August 1984  
(1984-08-07)
- D2: WO 97 40579 A (UNITED TECHNOLOGIES CORP) 30  
October 1997 (1997-10-30)
- D3: PATENT ABSTRACTS OF JAPAN vol. 016, no. 412 (E-  
1256), 31 August 1992 (1992-08-31) & JP 04  
137816 A (NEC CORP; OTHERS: 01), 12 May 1992  
(1992-05-12)
- D4: PATENT ABSTRACTS OF JAPAN vol. 012, no. 235 (P-  
725), 6 July 1988 (1988-07-06) & JP 63 027782 A  
(TOYO COMMUN EQUIP CO LTD), 5 February 1988  
(1988-02-05)
- D5: GB-A-2 037 034 (STANDARD TELEPHONES CABLES LTD)  
2 July 1980 (1980-07-02)
- D6: PATENT ABSTRACTS OF JAPAN vol. 014, no. 085 (E-  
0890), 16 February 1990 (1990-02-16) & JP 01  
295516 A (FUJITSU LTD), 29 November 1989 (1989-  
11-29)
- D7: US-A-4 044 312 (D ORTENZIO REMO J) 23 August  
1977 (1977-08-23)
- D8: US-A-4 093 878 (PASCHAL JAMES P ET AL) 6 June  
1978 (1978-06-06)

D9: US-A-4 525 635 (GILLBERG JAMES E) 25 June 1985  
(1985-06-25).

2. The present invention relates to making digital circuits immune to external interference, especially localised interference caused in particular by alpha particle bombardments and likely to cause untimely toggling of the state of the memory circuit.
3. For this purpose, the present application suggests four embodiments (independent Claims 1, 6, 8 and 9) to prevent an interfering pulse at the output of a combinational logic circuit from toggling a memory element located at the output of said combinational circuit.

Claim 1:

A circuit for generating an error control code for the output of the combinational circuit controls the memory element so that it is transparent when the control code is correct and maintains its state when the control code is incorrect.

Claim 6:

The output of the combinational circuit is connected to a first and a second toggle, wherein the second toggle is timed using a clock delayed by a predetermined time and the outputs of the two toggles are connected to a circuit for analysing the toggle outputs, and said analysis circuit reports an error when the outputs of the toggles are different.

Claim 8:

The output of the combinational circuit is connected to a first and a second toggle, both of which are

timed by the same clock signal and the output of said combinational circuit is delayed by a predetermined time before being delivered to the input of the second toggle, and an analysis circuit which receives the outputs of the two toggles reports an error when the outputs are different.

Claim 9:

Three identical logic circuits are preceded by a memory element which has two inputs and receives the outputs of the two other logic circuits, with each memory element being designed to be transparent when its two inputs are identical and to maintain its state when the inputs are different.

4. The subject matter of independent Claims 1, 6, 8 and 9 is not known and does not appear to be obvious in view of the prior art disclosed and as described in documents D1-D9, cited in the international search report.

- 4.1 Document D1, which is considered to be the prior art closest to the subject matter of Claim 1, describes (see Figure 2b) a combinational circuit (Figure 2: G6ij) for disconnecting a memory output from the data bus when a circuit generating a parity bit indicates an error in the memory content.

The subject matter of Claim 1 differs from this circuit disclosed by D1 in that a memory element is provided at the output of the combinational circuit and controlled by a circuit generating an error control code so that it is transparent when the code is correct and maintains its state when the code is incorrect.



The solution disclosed in D1 is to duplicate each memory module and set the output of a cell at a high impedance state when a parity error is detected. When an error is detected, the circuit according to Claim 1 stores the previous value and prevents an error at the input of the circuit from propagating towards the output. The solution suggested by Claim 1, which has the advantage of enabling a reduction in the surface area of the integrated circuit, is not suggested by D1 or any of the other documents cited in the search report. Therefore, the subject matter of Claim 1 is novel and considered to involve an inventive step (PCT Article 33(2) and (3)).

- 4.2 Document D4 is considered to be the prior art closest to the subject matter of independent Claims 6 and 8. Said document describes a circuit protected against transient interference and including a digital input connected to a first synchronisation register timed by a clock, a second register timed by the clock and receiving the first register output delayed by a predetermined time, and a majority vote circuit which receives said digital input and the outputs of the two registers and selects the value provided by at least two of its inputs as its output.

The subject matter of Claims 6 and 8 differs from the circuit disclosed in D4 essentially in that it provides an error analysis circuit which reports an error when its outputs are different. Therefore, it is a circuit for **detecting** errors, whereas the circuit disclosed by D4 is intended for **correcting** said errors.

Documents D3, D5 and D6 also disclose circuits for correcting errors using a majority vote operation. In particular, document D5 suggests a circuit that detects errors by comparing three inputs connected in parallel to a majority vote equalising circuit. The subject matter of Claims 6 and 8 differs from the circuit disclosed in D5 in that the input signals are delayed before being applied to the inputs of the comparator.

None of documents D3-D6 discloses or suggests an error detection circuit according to Claims 6 and 8.

Therefore, Claims 6 and 8 meet the requirements of PCT Article 33(2) and (3).

- 4.3 The embodiment according to independent Claim 9 suggests triplicating the basic circuit of Claim 1, wherein the three identical logic circuits are preceded by a memory element which has two inputs receiving the outputs of the other two logic circuits. This solution completely differs from all of the circuits suggested by documents D1-D9. Therefore, none of said documents can be considered to be closest to the subject matter of Claim 9. The subject matter of said claim is, therefore, novel and involves an inventive step.

5. Claims 2-5, 7 and 10 depend on Claims 1, 6 and 9, respectively, and, therefore, also meet, as such, the requirements of the PCT concerning novelty and inventive step.